

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-057498

(43)Date of publication of application : 03.03.1989

(51)Int.Cl.

G11C 17/00

(21)Application number : 62-215608 (71)Applicant : NEC CORP

(22)Date of filing : 28.08.1987 (72)Inventor : TOFUKU SUKEYUKI

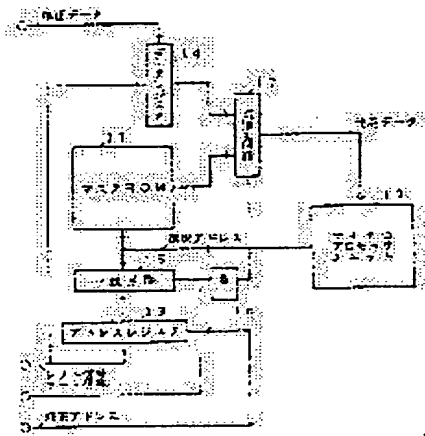
(54) PARTIAL CORRECTING CIRCUIT FOR MASK ROM READING DATA

(57)Abstract:

PURPOSE: To use a microprocessor unit and a mask ROM in an integrated circuit consisting of one chip by providing a switching circuit for outputting correcting data only when a reading address coincides with a correcting address.

CONSTITUTION: The mask ROM 11 in which error data to be corrected is included and recorded, an address register 13 for holding a recording position in which the error data is recorded as the correcting address and a data register 14 for holding the correcting data for correcting the error data are provided. Further, a coincidence circuit 15 for generating a coincidence signal when the reading address for reading the mask ROM coincides with the correcting address and the switching circuit 17 for outputting the correcting data in place of reading data read from the mask ROM only when the coincidence signal is generated are provided. Thereby, respective circuits can be

formed by incorporating all the microprocessor units and the mask ROM in the integrated circuit consisting of one chip.



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-70237

(24) (44) 公告日 平成7年(1995)7月31日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 17/00		E		
G 0 6 F 9/06	5 4 0 N	9367-5B		
G 1 1 C 29/00	3 0 1 D	6866-5L		

発明の数1(全 6 頁)

(21) 出願番号 特願昭62-215608

(22) 出願日 昭和62年(1987)8月28日

(65) 公開番号 特開平1-57498

(43) 公開日 平成1年(1989)3月3日

(71) 出願人 999999999

日本電気株式会社

東京都港区芝5丁目7番1号

(72) 発明者 東福 祐之

東京都港区芝5丁目33番1号 日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

審査官 吉岡 浩

(56) 参考文献 特開 昭59-45694 (J P, A)

- o アドレスバスに接続される値を、ROM読出しアドレス(の上位)から一致したアドレスにレジスタに接続される値をROMに接続するアドレスに出力する回路。
- o ROMに「修正可能なレジスタ」を含む回路状態の未使用回路可能(同接線等)
- o 2007年8月満了。

(54) 【発明の名称】 マスクROM読出しデータの一部修正回路

【特許請求の範囲】

【請求項1】 2つ以上の連続するアドレスからなる領域に修正すべき誤りデータを含んで記録されているマスクROMと、前記誤りデータが記録されている前記領域を指示するに足る上位アドレスを修正アドレスとして保持するアドレスレジスタと、前記誤りデータを修正するための修正データを含む前記領域内のデータに対応する一連のデータを保持するデータレジスタと、前記マスクROMを読出するための読出しアドレスのうち上位アドレスが前記領域を指示するに足る上位アドレスに一致したときに一致信号を発生する一致回路と、前記一致信号が発生したときにだけ前記マスクROMから読出された読出しデータにかえて前記データレジスタから読出される一連のデータを出力する切換え回路とを備えることを特徴とするマスクROM読出しデータの一部修正回路。

【発明の詳細な説明】

【産業上の利用分野】

本発明はマスクROM読出しデータの一部修正回路に関する。

【従来の技術】

マスクROMは、記憶素子の製造段階で記録する情報を書込んでしまつて使用段階で変更できないものであり、他の種類のROM、例えば破壊式プログラマブルROMや消去可能なプログラマブルROMに比べて、ビット当りの価格が安く、チップ当りの記憶容量を大きくすることができるという優れた長所を有している。

しかしその反面で、一度書込んだ情報を変更することが不可能であり、新たにマスクを作成して製造するのに高価であり、時間もかかるという弱点がある。

そこで、マスクROMに記録された記録情報のうち修正し

たい誤りデータに対応する修正データだけを、破壊式プログラマブルROMや消去可能なプログラマブルROMに記憶させて利用する方法がある。

第5図は従来のマスクROM読出しデータの一部修正回路の一例を示すブロック図である。

第5図において、マスクROM51は、その入力に選択アドレスが与えられ、その選択アドレスに記録されたデータを読出して出力する。

一方、デコーダ52は、選択アドレスを解読しており、その選択アドレスとしてマスクROM51の修正すべき誤りデータを記録するアドレスが来れば、その誤りデータに対応する修正データを記憶している修正ROM53のアドレスを修正ROM53に送るとともに、切換え信号を切換え回路54に送る。

これにより、消去可能なプログラマブルROMである修正ROM53は、そのアドレスの修正データを読出して、切換え回路54に送るので、このときにだけ切換え回路54は、切換え信号でマスクROM51の読出しデータにかえて修正ROM53の読出しデータである修正データを使用データとして出力する。

この結果、マスクROM51の誤りデータが修正ROM53の修正データに置き換えられ、正しい使用データが得られることとなる。

〔発明が解決しようとする問題点〕

上述した従来のマスクROM読出しデータの一部修正回路は、マスクROMおよびマスクROMと異なる種類の修正ROMを利用しており、マスクROM、修正ROMおよびマイクロプロセッサユニットが分離された独立の単体であれば、それぞれを第5図に示すように接続して構成することができる。

しかし、マイクロプロセッサユニットとマスクROMとが1チップ化された集積回路ではこれらを分離して接続を変更することができないので、上述した従来のマスクROM読出しデータの一部修正回路は、第5図に示すように構成して働かせることができないという欠点がある。

本発明の目的は、異なる種類の修正ROMを使用しないで構成することができ、マイクロプロセッサユニットとマスクROMとが1チップ化された集積回路で使用できるマスクROM読出しデータの一部修正回路を提供することにある。

〔問題点を解決するための手段〕

本発明のマスクROM読出しデータの一部修正回路は、2つ以上の連続するアドレスからなる領域に修正すべき誤りデータを含んで記録されているマスクROMと、前記誤りデータが記録されている前記領域を指示するに足る上記アドレスを修正アドレスとして保持するアドレスレジスタと、前記誤りデータを修正するための修正データを含む前記領域内のデータに対応する一連のデータを保持するデータレジスタと、前記マスクROMを読出すための読出しアドレスのうちの上位アドレスが前記領域を指示

するに足る上記アドレスに一致したときに一致信号を発生する一致回路と、前記一致信号が発生したときにだけ前記マスクROMから読出された読出しデータにかえて前記データレジスタから読出される一連のデータを出力する切換え回路とを備えて構成されている。

〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示すブロック図である。

第1図において、マスクROM11は、16ビットの選択アドレスを受けて、8ビットのデータをそれぞれ読出すことができ、マイクロプロセッサユニット12が使用するデータを記録しているが、これらの中に修正すべき誤りデータを含んでいる。

マイクロプロセッサユニット12は、マスクROM11に16ビットの選択アドレスを与えて読出させ、読出された8ビットのデータを使用データとして入力する。

アドレスレジスタ13は、修正すべき誤りデータが記録されているマスクROM11の記録位置を16ビットの修正アドレスとして与えられ、これをシフト信号により入力して保持する16ビットのシフトレジスタである。

一方、データレジスタ14は、その修正アドレスの正しいデータを8ビットの修正データとして与えられ、これをシフト信号により入力して保持する8ビットのシフトレジスタである。

第2図は第1の実施例に与えられる外部信号を示すタイムチャートである。

第2図において、16個のシフト信号に同期して、16ビットの修正アドレスと8ビットの修正データが与えられ、その後にモード信号が与えられることを示している。

一致回路15は、マスクROM11を読出すための選択アドレスがアドレスレジスタ13に保持された修正アドレスに一致したときに一致信号を発生して、この一致信号を論理積回路16に送る。

論理積回路16は、モード信号が外部から与えられている場合で、しかもこの一致信号が発生したときにだけ、切換え信号を切換え回路7に送る。

切換え回路17は、この切換え信号がある場合にだけ、マスクROM11から読出された読出しデータにかえてデータレジスタ14に保持されている修正データを使用データとしてマイクロプロセッサユニット12に出力する。

この結果、マイクロプロセッサユニット12は、マスクROM11の修正すべき誤りデータを、データレジスタ14に保持された正しい修正データに置き換えて使用データとして使用することができる。

なお、アドレスレジスタ13、データレジスタ14、一致回路15および論理積回路16が並列に複数個あり、切換え回路17が直列に複数個接続されれば、複数個の修正データを取扱うことができる。

また、一度設定されたアドレスレジスタ13およびデータ

レジスタ14の内容の変更は、モード信号を中断して、新たに16個のシフト信号に同期して、16ビットの修正アドレスと8ビットの修正データとが与えられ、その後にモード信号が与えられることにより、マイクロプロセッサユニット12の動作を停止させずに実施することができる。

この第1の実施例に使用している各回路は、すべてマイクロプロセッサユニットとマスクROMとが1チップ化された集積回路に組込んで作ることができる。

第3図は本発明の第2の実施例を示すブロック図である。

第3図において、マスクROM31は、16ビットの選択アドレスを受けて、8ビットのデータをそれぞれ読出すことができ、マイクロプロセッサユニット32が使用するデータを記録しているが、これらの中に修正すべき誤りデータを含んでいる。

マイクロプロセッサユニット32は、マスクROM31に16ビットの選択アドレスを与えて読出させ、読出された8ビットのデータを使用データとして入力する。

アドレスレジスタ33は、修正すべき誤りデータが記録されているマスクROM31の記録位置を示す16ビットのアドレスの中の上位14ビットを修正アドレスとして与えられ、これをシフト信号により入力して保持する14ビットのシフトレジスタである。

一方、データレジスタ34a, 34b, 34c, 34dは、上位14ビットがアドレスレジスタ33の内容であるマスクROM31の連続する四つの修正アドレスについて、あるべき正しいデータをそれぞれ8ビットの修正データA, 修正データB, 修正データC, 修正データDとして与えられ、これをシフト信号により、入力して保持するそれぞれ8ビットのシフトレジスタである。

第4図は第2の実施例に与えられる外部信号を示すタイムチャートである。

第4図において、14個のシフト信号に同期して、14ビットの修正アドレスと8ビットの修正データAが与えられ、その後にモード信号が与えられることを示している。

それぞれ8ビットの修正データB, 修正データC, 修正データDも、修正データAと同時に与えられる。

一致回路35は、マスクROM31を読出す16ビットの選択アドレスの中の上位14ビットがアドレスレジスタ13に保持された14ビットの修正アドレスに一致したときに一致信号を発生して、この一致信号を論理積回路36に送る。論理積回路36は、モード信号が外部から与えられている場合で、しかもこの一致信号が発生したときにだけ、切換え信号を切換え回路37に送る。

一方、データレジスタ34a, 34b, 34c, 34dは、16ビットの選択アドレスの中の下位2ビットを受けて、その下位2ビットの“00”, “01”, “10”, “11”のいずれかによって、この順序にそれぞれ対応するデータレジスタ34a, 34

b, 34c, 34dのいずれかが保持する8ビットの修正データを切換えデータとして切換え回路37に送る。

切換え回路37は、論理積回路36からの切換え信号がある場合にだけ、マスクROM31から読出された読出しデータにかえて上記の切換えデータを使用データとしてマイクロプロセッサユニット32に出力する。

この結果、マイクロプロセッサユニット32は、マスクROM31の修正すべき誤りデータを、データレジスタ34a, 34b, 34c, 34dにそれぞれ保持された正しい修正データに置き換えて使用することができる。

なお、アドレスレジスタ33, データレジスタ34a, 34b, 34c, 34d, 一致回路35および論理積回路36がそれぞれ並列に複数個あり、切換え回路37が直列に複数個接続されれば、4バイトを一組として複数個の修正データを取扱うことができる。

また、一度設定されたアドレスレジスタ33およびデータレジスタ34a, 34b, 34c, 34dの内容の変更は、モード信号を中断して、新たに14個のシフト信号に同期して、14ビットの修正アドレスとそれぞれ8ビットの修正データAと、修正データBと、修正データCと、修正データDとが与えられ、その後にモード信号が与えられることにより、マイクロプロセッサユニット32の動作を停止させずに実施することができる。

この第2の実施例に使用している各回路は、すべてマイクロプロセッサユニットとマスクROMとが1チップ化された集積回路に組込んで作ることができる。

【発明の効果】

以上説明したように、本発明のマスクROM読出しデータの一部修正回路は、異なる種類の修正ROMを使用しないで構成して、マイクロプロセッサユニットとマスクROMとが1チップ化された集積回路に使用して、マスクROMの修正アドレスと修正データとをこの集積回路内のアドレスレジスタとデータレジスタとに与えることにより、マスクROMの誤りデータを修正した使用データを得ることができるという効果を有している。

これは、誤りデータを修正したマスクROMを新たに作成する場合に比べて、費用がかからず、時間もかからないという利点がある。

【図面の簡単な説明】

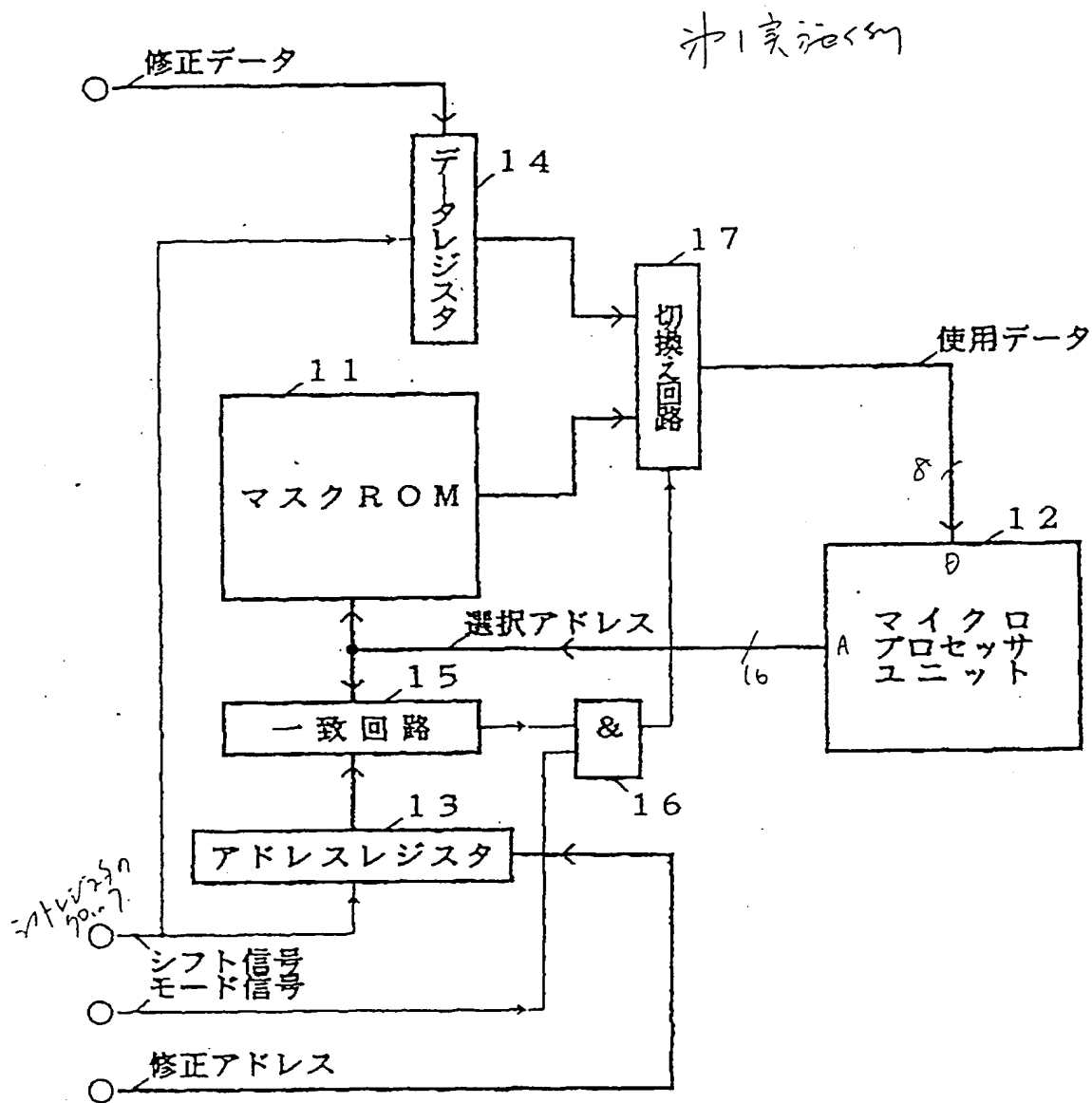
第1図は本発明の第1の実施例を示すブロック図、第2図は第1の実施例に与えられる外部信号を示すタイムチャート、第3図は本発明の第2の実施例を示すブロック図、第4図は第2の実施例に与えられる外部信号を示すタイムチャート、第5図は従来のマスクROM読出しデータの一部修正回路の一例を示すブロック図である。

11……マスクROM、12……マイクロプロセッサユニット、13……アドレスレジスタ、14……データレジスタ、15……一致回路、16……論理積回路、17……切換え回路、31……マスクROM、32……マイクロプロセッサユニット、33……アドレスレジスタ、34a, 34b, 34c, 34d……

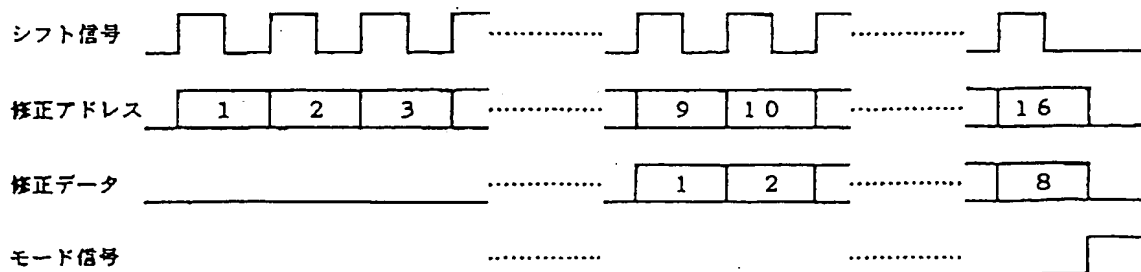
データレジスタ、35……一致回路、36……論理積回路、
37……切換え回路、51……マスクROM、52……デコー

ダ、53……修正ROM、54……切換え回路。

【第1図】

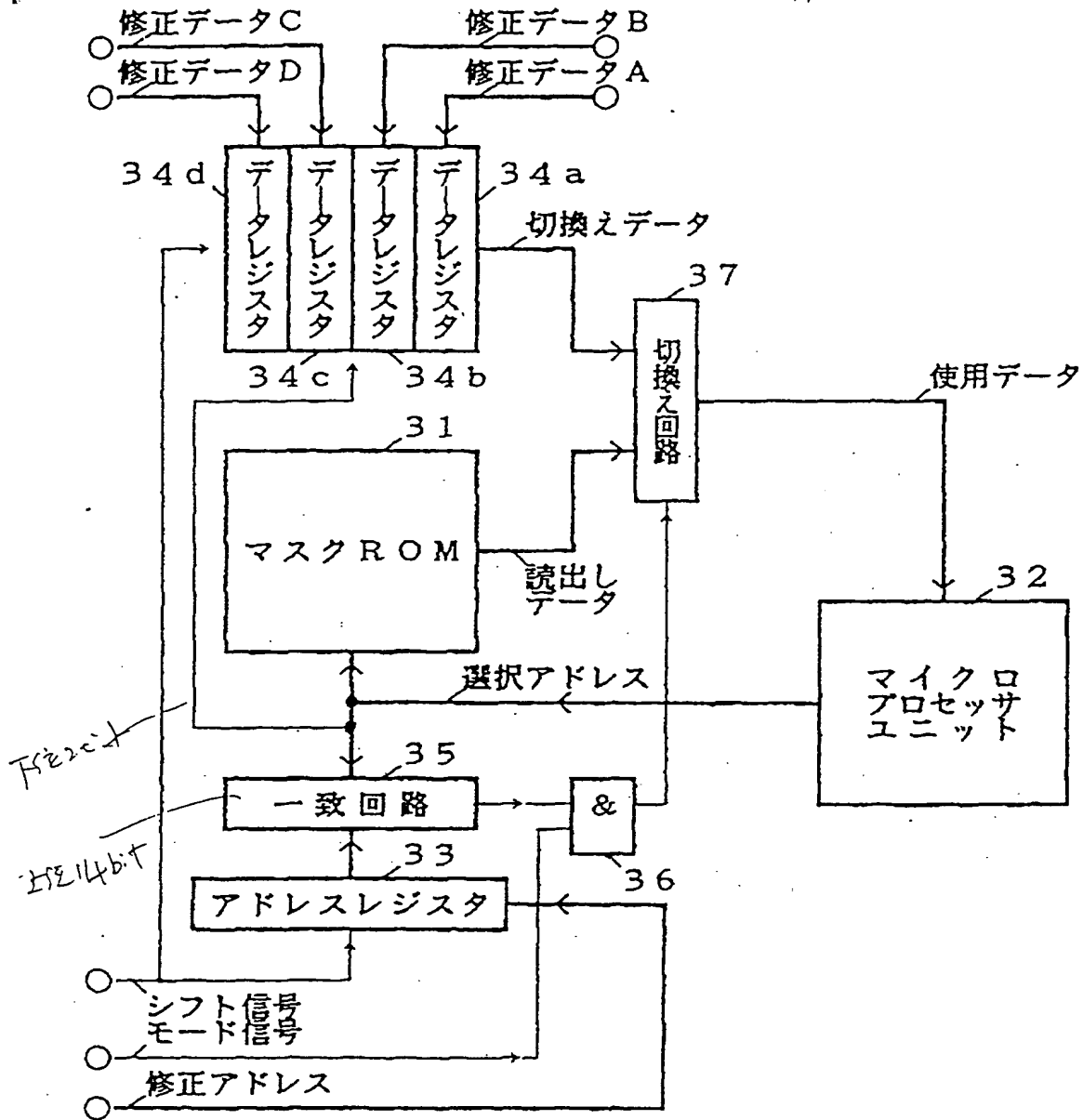


【第2図】

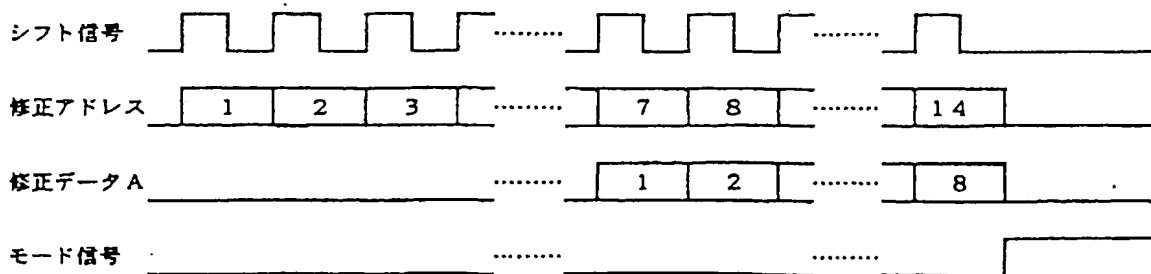


【第3図】

为2实施所



【第4図】



後系例.

【第5図】

